

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-123971

(P2017-123971A)

(43) 公開日 平成29年7月20日(2017.7.20)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 0	2 H 0 4 0
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	4 C 1 6 1
	G 0 2 B 23/24 A	

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21) 出願番号	特願2016-4280 (P2016-4280)	(71) 出願人	000000376
(22) 出願日	平成28年1月13日 (2016.1.13)		オリンパス株式会社
			東京都八王子市石川町2951番地
		(74) 代理人	110002147
			特許業務法人酒井国際特許事務所
		(72) 発明者	堀 隆行
			東京都渋谷区幡ヶ谷2丁目43番2号 オ
			リンパス株式会社内
		Fターム(参考)	2H040 DA17 GA02
			4C161 CC06 JJ15 LL02 SS18

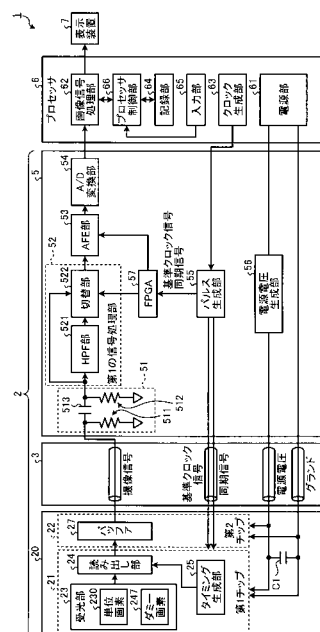
(54) 【発明の名称】 内視鏡

(57) 【要約】

【課題】ダミー画素と有効画素とで互いに異なるノイズが発生した場合であっても、精度よく横筋ノイズを補正することができる内視鏡を提供する。

【解決手段】内視鏡2は、伝送ケーブル3から伝送されたダミー信号に対して第1の信号処理を行って第1の信号を生成して外部へ出力可能であるとともに、撮像信号をそのまま外部へ出力する第1の信号処理部52と、パルス生成部55が生成した駆動信号に基づいて、撮像部20がダミー画素247からダミー信号を出力するダミー信号出力期間において第1の信号処理部52に第1の信号処理を実行させて第1の信号を外部へ出力させる一方、撮像部20が単位画素230から撮像信号を出力する撮像信号出力期間において第1の信号処理部52に撮像信号をそのまま外部へ出力させるFPGA57と、を備える。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の有効画素と、前記複数の有効画素の配置における水平ライン毎に設けられ、前記撮像信号の補正処理に用いられるダミー信号を生成して出力する 1 または複数のダミー画素と、を有する撮像素子と、

前記撮像素子に接続され、前記撮像信号および前記ダミー信号を伝送する伝送ケーブルと、

前記伝送ケーブルの基端側に設けられ、前記撮像信号を受信したままの状態では外部へ出力可能であるとともに、前記ダミー信号に対して第 1 の信号処理を行って第 1 の信号を生成して外部へ出力する第 1 の信号処理部と、

前記撮像素子を駆動するための駆動信号を生成する生成部と、

前記生成部が生成した前記駆動信号に基づいて、前記ダミー画素が前記ダミー信号を出力するダミー信号出力期間において前記第 1 の信号処理部に前記第 1 の信号処理を実行させて前記第 1 の信号を外部へ出力させる一方、前記有効画素が前記撮像信号を出力する撮像信号出力期間において前記第 1 の信号処理部に前記撮像信号をそのまま外部へ出力させる制御部と、

を備えたことを特徴とする内視鏡。

【請求項 2】

前記伝送ケーブルの基端側であって、前記第 1 の信号処理部より前記伝送ケーブルの先端側の基端側に設けられた終端抵抗と、

前記伝送ケーブルの基端側であって、前記第 1 の信号処理部より後段の基端側に設けられ、前記第 1 の信号を用いて前記撮像信号を補正する信号処理を行う第 2 の信号処理部と、

、

を備え、

前記第 1 の信号処理部は、前記終端抵抗と前記第 2 の信号処理部との間に設けられ、前記撮像信号および前記第 1 の信号を前記第 2 の信号処理部へ出力することを特徴とする請求項 1 に記載の内視鏡。

【請求項 3】

前記第 1 の信号処理部は、

前記ダミー信号に対して前記第 1 の信号処理を行って前記第 1 の信号を生成する第 3 の信号処理部と、

前記伝送ケーブルおよび前記第 3 の信号処理部のどちらか一方を選択的に切り替えて前記第 2 の信号処理部へ接続する切替部と、

を有し、

前記制御部は、前記ダミー信号出力期間において前記切替部に前記第 3 の信号処理部と前記第 2 の信号処理部とを接続させる一方、前記撮像信号出力期間において前記切替部に前記伝送ケーブルと前記第 2 の信号処理部とを接続させることを特徴とする請求項 2 に記載の内視鏡。

【請求項 4】

前記第 1 の信号処理部は、

前記ダミー信号に対して前記第 1 の信号処理を行って前記第 1 の信号を生成する第 3 の信号処理部と、

前記第 2 の信号処理部および前記第 3 の信号処理部のどちらか一方を選択的に切り替えて前記伝送ケーブルへ接続する切替部と、

を有し、

前記制御部は、前記ダミー信号出力期間において前記切替部に前記第 3 の信号処理部と前記伝送ケーブルとを接続させる一方、前記撮像信号出力期間において前記切替部に前記第 2 の信号処理部と前記伝送ケーブルとを接続させることを特徴とする請求項 2 に記載の内視鏡。

10

20

30

40

50

【請求項 5】

前記第 1 の信号処理部は、ハイパスフィルタまたはバンドパスフィルタのいずれかを含むことを特徴とする請求項 3 または 4 に記載の内視鏡。

【請求項 6】

前記制御部は、前記生成部が生成した前記駆動信号に基づいて、前記第 1 の信号処理部が実行する前記第 1 の信号処理の内容を変更させることを特徴とする請求項 1 に記載の内視鏡。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、被検体内に導入され、該被検体の画像データを生成する内視鏡に関する。

【背景技術】

【0002】

近年、CMOS (Complementary Metal Oxide Semiconductor) 撮像素子では、各ライン行に光電変換素子に接続しないダミー画素を設け、電源電圧の変動等による各行の横筋ノイズを補正する技術が知られている (特許文献 1 参照)。この技術では、有効画素が出力した画素値からダミー画素が出力した画素値を減算することによって、画像データに発生する横筋ノイズを補正する。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】特開 2013 - 106225 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、上述した特許文献 1 では、電源電圧の変動によって、ダミー画素と有効画素とで互いに異なるノイズが発生する場合がある。このような場合には、横筋ノイズを精度よく補正することができず、画質が低下するという問題点があった。

【0005】

本発明は、上記に鑑みてなされたものであって、ダミー画素と有効画素とで互いに異なるノイズが発生した場合であっても、精度よく横筋ノイズを補正することができる内視鏡を提供することを目的とする。

30

【課題を解決するための手段】

【0006】

上述した課題を解決し、目的を達成するために、本発明に係る内視鏡は、二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の有効画素と、前記複数の有効画素の配置における水平ライン毎に設けられ、前記撮像信号の補正処理に用いられるダミー信号を生成して出力する 1 または複数のダミー画素と、を有する撮像素子と、前記撮像素子に接続され、前記撮像信号および前記ダミー信号を伝送する伝送ケーブルと、前記伝送ケーブルの基端側に設けられ、前記撮像信号を受信したままの状態外部へ出力可能であるとともに、前記ダミー信号に対して第 1 の信号処理を行って第 1 の信号を生成して外部へ出力する第 1 の信号処理部と、前記撮像素子を駆動するための駆動信号を生成する生成部と、前記生成部が生成した前記駆動信号に基づいて、前記ダミー画素が前記ダミー信号を出力するダミー信号出力期間において前記第 1 の信号処理部に前記第 1 の信号処理を実行させて前記第 1 の信号を外部へ出力させる一方、前記有効画素が前記撮像信号を出力する撮像信号出力期間において前記第 1 の信号処理部に前記撮像信号をそのまま外部へ出力させる制御部と、を備えたことを特徴とする。

40

【0007】

また、本発明に係る内視鏡は、上記発明において、前記伝送ケーブルの基端側であって、前記第 1 の信号処理部より前記伝送ケーブルの先端側の基端側に設けられた終端抵抗と

50

、前記伝送ケーブルの基端側であって、前記第 1 の信号処理部より後段の基端側に設けられ、前記第 1 の信号を用いて前記撮像信号を補正する信号処理を行う第 2 の信号処理部と、を備え、前記第 1 の信号処理部は、前記終端抵抗と前記第 2 の信号処理部との間に設けられ、前記撮像信号および前記第 1 の信号を前記第 2 の信号処理部へ出力することを特徴とする。

【 0 0 0 8 】

また、本発明に係る内視鏡は、上記発明において、前記第 1 の信号処理部は、前記ダミー信号に対して前記第 1 の信号処理を行って前記第 1 の信号を生成する第 3 の信号処理部と、前記伝送ケーブルおよび前記第 3 の信号処理部のどちらか一方を選択的に切り替えて前記第 2 の信号処理部へ接続する切替部と、を有し、前記制御部は、前記ダミー信号出力期間において前記切替部に前記第 3 の信号処理部と前記第 2 の信号処理部とを接続させる一方、前記撮像信号出力期間において前記切替部に前記伝送ケーブルと前記第 2 の信号処理部とを接続させることを特徴とする。

10

【 0 0 0 9 】

また、本発明に係る内視鏡は、上記発明において、前記第 1 の信号処理部は、前記ダミー信号に対して前記第 1 の信号処理を行って前記第 1 の信号を生成する第 3 の信号処理部と、前記第 2 の信号処理部および前記第 3 の信号処理部のどちらか一方を選択的に切り替えて前記伝送ケーブルへ接続する切替部と、を有し、前記制御部は、前記ダミー信号出力期間において前記切替部に前記第 3 の信号処理部と前記伝送ケーブルとを接続させる一方、前記撮像信号出力期間において前記切替部に前記第 2 の信号処理部と前記伝送ケーブルとを接続させることを特徴とする。

20

【 0 0 1 0 】

また、本発明に係る内視鏡は、上記発明において、前記第 1 の信号処理部は、ハイパスフィルタまたはバンドパスフィルタのいずれかを含むことを特徴とする。

【 0 0 1 1 】

また、本発明に係る内視鏡は、上記発明において、前記制御部は、前記生成部が生成した前記駆動信号に基づいて、前記第 1 の信号処理部が実行する前記第 1 の信号処理の内容を変更させることを特徴とする。

【 発明の効果 】

【 0 0 1 2 】

本発明によれば、ダミー画素と有効画素とで互いに異なるノイズが発生した場合であっても、精度よく横筋ノイズを補正することができるという効果を奏する。

30

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】図 1 は、本発明の実施の形態 1 に係る内視鏡システムの全体構成を模式的に示す概略図である。

【 図 2 】図 2 は、本発明の実施の形態 1 に係る内視鏡システムの要部の機能を示すブロック図である。

【 図 3 】図 3 は、図 2 に示す第 1 チップの詳細な構成を示すブロック図である。

【 図 4 】図 4 は、第 1 チップの構成を示す回路図である。

40

【 図 5 A 】図 5 A は、本発明の実施の形態 1 に係る内視鏡の受光部の基準電圧生成部の構成を示す回路図である。

【 図 5 B 】図 5 B は、本発明の実施の形態 1 に係る内視鏡の受光部の基準電圧生成部の構成を示す回路図である。

【 図 6 】図 6 は、本発明の実施の形態 1 に係る内視鏡システムが実行する処理の概要を示すフローチャートである。

【 図 7 】図 7 は、本発明の実施の形態 2 に係る内視鏡システムの要部の機能を示すブロック図である。

【 発明を実施するための形態 】

【 0 0 1 4 】

50

以下、本発明を実施するための形態（以下、「実施の形態」という）として、被検体内に挿入される内視鏡を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものでない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なることに留意する必要がある。また、図面の相互間において、互いの寸法や比率が異なる部分が含まれている。

【0015】

〔内視鏡システムの構成〕

図1は、本発明の実施の形態1に係る内視鏡システムの全体構成を模式的に示す概略図である。図1に示す内視鏡システム1は、内視鏡2（内視鏡スコープ）と、伝送ケーブル3と、コネクタ部5と、プロセッサ6（処理装置）と、表示装置7と、光源装置8と、を備える。

10

【0016】

内視鏡2は、伝送ケーブル3の一部である挿入部100を被検体の体腔内に挿入することによって被検体の体内を撮像して撮像信号（画像データ）をプロセッサ6へ出力する。また、内視鏡2は、伝送ケーブル3の一端側であり、被検体の体腔内に挿入される挿入部100の先端101側に、体内画像の撮像を行う撮像部20（撮像素子）が設けられている。さらに、内視鏡2は、挿入部100の基端102側に、内視鏡2に対する各種操作を受け付ける操作部4が設けられている。撮像部20が撮像した画像の撮像信号は、例えば数mの長さを有する伝送ケーブル3を介してコネクタ部5に出力される。

20

【0017】

伝送ケーブル3は、内視鏡2とコネクタ部5とを接続するとともに、内視鏡2とプロセッサ6および光源装置8とを接続する。また、伝送ケーブル3は、撮像部20が生成した撮像信号をコネクタ部5へ伝送する。伝送ケーブル3は、ケーブルや光ファイバ等を用いて構成される。

【0018】

コネクタ部5は、内視鏡2、プロセッサ6および光源装置8に接続され、接続された内視鏡2が出力する撮像信号に所定の信号処理を施すとともに、アナログの撮像信号をデジタルの撮像信号に変換（A/D変換）してプロセッサ6へ出力する。

【0019】

プロセッサ6は、コネクタ部5から入力される撮像信号に所定の画像処理を施して表示装置7へ出力する。また、プロセッサ6は、内視鏡システム1全体を統括的に接続する。例えば、プロセッサ6は、光源装置8が出射する照明光を切り替えたり、内視鏡2の撮像モードを切り替えたりする制御を行う。

30

【0020】

表示装置7は、プロセッサ6が画像処理を施した撮像信号に対応する画像を表示する。また、表示装置7は、内視鏡システム1に関する各種情報を表示する。表示装置7は、液晶や有機EL（Electro Luminescence）等の表示パネル等を用いて構成される。

【0021】

光源装置8は、コネクタ部5および伝送ケーブル3を経由して内視鏡2の挿入部100の先端101側から被検体（被写体）へ向けて照明光を照射する。光源装置8は、白色光を発する白色LED（Light Emitting Diode）等を用いて構成される。光源装置8は、プロセッサ6の制御のもと、内視鏡2を介して照明光を被検体に向けて照射する。なお、本実施の形態1では、光源装置8に同時方式の照明方式が採用されるが、面順次方式の照明方式であってもよい。

40

【0022】

図2は、内視鏡システム1の要部の機能を示すブロック図である。

まず、内視鏡2の構成について説明する。

内視鏡2は、撮像部20と、伝送ケーブル3と、コネクタ部5と、を備える。撮像部20は、第1チップ21（撮像素子）と、第2チップ22と、を備える。

50

【 0 0 2 3 】

第 1 チップ 2 1 は、複数の単位画素 2 3 0 および複数のダミー画素 2 4 7 を有する受光部 2 3 と、受光部 2 3 によって光電変換された撮像信号およびダミー信号を読み出す読み出し部 2 4 と、コネクタ部 5 から入力された基準クロック信号および同期信号に基づきタイミング信号を生成するタイミング生成部 2 5 と、を有する。

【 0 0 2 4 】

複数の単位画素 2 3 0 は、行列方向に 2 次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する。

【 0 0 2 5 】

複数のダミー画素 2 4 7 は、複数の単位画素 2 3 0 の配置における水平ライン毎に設けられ、撮像信号の補正処理に用いられるダミー信号を生成して出力する。なお、第 1 チップ 2 1 のより詳細な構成については、図 3 を参照して後述する。

10

【 0 0 2 6 】

第 2 チップ 2 2 は、伝送ケーブル 3 およびコネクタ部 5 を介して、第 1 チップ 2 1 から出力される撮像信号をプロセッサ 6 へ送信するバッファ 2 7 を有する。なお、第 1 チップ 2 1 と第 2 チップ 2 2 に搭載される回路の組み合わせは、適宜変更可能である。

【 0 0 2 7 】

また、撮像部 2 0 は、伝送ケーブル 3 を介してプロセッサ 6 の電源部 6 1 において生成された電源電圧 V D D をグランド G N D とともに受け取る。撮像部 2 0 に供給される電源電圧 V D D とグランド G N D との間には、電源安定用のコンデンサ C 1 が設けられている。

20

【 0 0 2 8 】

コネクタ部 5 は、終端抵抗 5 1 と、第 1 の信号処理部 5 2 と、アナログ・フロント・エンド部 5 3 (以下、「A F E 部 5 3」という)と、A / D 変換部 5 4 と、パルス生成部 5 5 と、電源電圧生成部 5 6 と、F P G A 5 7 (Field Programmable Gate Array)と、を備える。

【 0 0 2 9 】

終端抵抗 5 1 は、伝送ケーブル 3 の終端に設けられる。終端抵抗 5 1 は、一端が伝送ケーブル 3 に接続され、他端がグランド G N D に接続された交流終端抵抗 5 1 1 と、一端が伝送ケーブル 3 に接続され、他端がグランド G N D に接続された直流終端抵抗 5 1 2 と、直流成分をカットする直流カットコンデンサ 5 1 3 と、を有する。また、終端抵抗 5 1 は、第 1 の信号処理部 5 2 より伝送ケーブル 3 の先端側の基端側に設けられる。

30

【 0 0 3 0 】

第 1 の信号処理部 5 2 は、伝送ケーブル 3 の基端側に設けられ、終端抵抗 5 1 と、A F E 部 5 3 との間に配置されてなる。第 1 の信号処理部 5 2 は、伝送ケーブル 3 から伝送されたダミー信号に対して第 1 の信号処理を行って第 1 の信号を生成し、この第 1 の信号を A F E 部 5 3 (外部)へ出力する。また、第 1 の信号処理部 5 2 は、伝送ケーブル 3 から伝送された撮像信号をそのまま A F E 部 5 3 (外部)へ出力する。第 1 の信号処理部 5 2 は、ハイパスフィルタ部 5 2 1 (以下、「H P F 部 5 2 1」という)と、切替部 5 2 2 と、を有する。

40

【 0 0 3 1 】

H P F 部 5 2 1 は、終端抵抗 5 1 と切替部 5 2 2 との間に配置してなる。H P F 部 5 2 1 は、伝送ケーブル 3 を介して伝送されるダミー信号に対して第 1 の信号処理を行って第 1 の信号を生成し、この第 1 の信号を切替部 5 2 2 へ出力する。ここで、第 1 の信号処理とは、ハイパスフィルタ処理である。なお、本実施の形態 1 では、H P F 部 5 2 1 が信号生成部として機能する。

【 0 0 3 2 】

切替部 5 2 2 は、一端側が伝送ケーブル 3 および H P F 部 5 2 1 それぞれに接続され、他端側が A F E 部 5 3 に接続される。切替部 5 2 2 は、F P G A 5 7 の制御のもと、伝送ケーブル 3 および H P F 部 5 2 1 のどちらか一方を選択的に切り替えて A F E 部 5 3 へ接

50

続する。切替部 5 2 2 は、スイッチ等を用いて構成される。

【 0 0 3 3 】

A F E 部 5 3 は、切替部 5 2 2 から入力された信号を受信し、受信した信号に対して所定の処理、例えばゲインアップ処理やノイズ低減処理（例えば C D S 処理、クランプ処理）等のアナログ処理を行った後に、A / D 変換部 5 4 へ出力する。A F E 部 5 3 は、伝送ケーブル 3 の基端側であって、第 1 の信号処理部 5 2 より後段の基端側に設けられる。なお、本実施の形態 1 では、A F E 部 5 3 が第 2 の信号処理部として機能する。

【 0 0 3 4 】

A / D 変換部 5 4 は、A F E 部 5 3 から入力された信号に対して、A / D 変換を行ってプロセッサ 6 へ出力する。

10

【 0 0 3 5 】

パルス生成部 5 5 は、プロセッサ 6 から供給され、内視鏡 2 の各構成部の動作の基準となる基準クロック信号（例えば、2 7 M H z のクロック信号）に基づいて、各フレームのスタート位置を表す同期信号を生成して、基準クロック信号とともに、伝送ケーブル 3 を介して撮像部 2 0 のタイミング生成部 2 5 および F P G A 5 7 へ出力する。ここで、パルス生成部 5 5 が生成する同期信号（駆動信号）は、水平同期信号と垂直同期信号とを含む。なお、本実施の形態 1 では、パルス生成部 5 5 が撮像部 2 0 を駆動するための駆動信号を生成する生成部として機能する。

【 0 0 3 6 】

電源電圧生成部 5 6 は、プロセッサ 6 から供給される電源から、第 1 チップ 2 1 と第 2 チップ 2 2 を駆動するのに必要な電源電圧を生成して第 1 チップ 2 1 および第 2 チップ 2 2 へ出力する。電源電圧生成部 5 6 は、レギュレーターなどを用いて第 1 チップ 2 1 と第 2 チップ 2 2 を駆動するのに必要な電源電圧を生成する。

20

【 0 0 3 7 】

F P G A 5 7 は、パルス生成部 5 5 から入力される基準クロック信号および同期信号に基づいて、撮像部 2 0 がダミー画素 2 4 7 からダミー信号を出力するダミー信号出力期間において第 1 の信号処理部 5 2 に第 1 の信号処理を実行させて第 1 の信号を A F E 部 5 3 へ出力させる。これに対して、F P G A 5 7 は、撮像部 2 0 が単位画素 2 3 0 から撮像信号を出力する撮像信号出力期間において第 1 の信号処理部 5 2 に撮像信号をそのまま（信号処理を施さず）A F E 部 5 3 へ出力させる。具体的には、F P G A 5 7 は、パルス生成部 5 5 から入力される基準クロック信号および同期信号に基づいて、切替部 5 2 2 による接続先の切り替えを制御することによって、ダミー信号出力期間において切替部 5 2 2 に H P F 部 5 2 1 と A F E 部 5 3 とを接続させる一方、撮像信号出力期間において切替部 5 2 2 に伝送ケーブル 3 と A F E 部 5 3 とを接続させる。なお、本実施の形態 1 では、F P G A 5 7 が制御部として機能する。

30

【 0 0 3 8 】

〔プロセッサの構成〕

次に、プロセッサ 6 の構成について説明する。

プロセッサ 6 は、内視鏡システム 1 の全体を統括的に制御する制御装置である。プロセッサ 6 は、電源部 6 1 と、画像信号処理部 6 2 と、クロック生成部 6 3 と、記録部 6 4 と、入力部 6 5 と、プロセッサ制御部 6 6 と、を備える。

40

【 0 0 3 9 】

電源部 6 1 は、電源電圧を生成し、この生成した電源電圧をグランド（G N D）とともに、コネクタ部 5 の電源電圧生成部 5 6 へ供給する。

【 0 0 4 0 】

画像信号処理部 6 2 は、A / D 変換部 5 4 から出力されたデジタルの撮像信号に対して、同時化処理、ホワイトバランス（W B）調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ（D / A）変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 7 へ出力する。

【 0 0 4 1 】

50

クロック生成部 63 は、内視鏡システム 1 の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号をパルス生成部 55 へ出力する。

【0042】

記録部 64 は、内視鏡システム 1 に関する各種情報や処理中のデータ等を記録する。記録部 64 は、Flash メモリや RAM (Random Access Memory) の記録媒体を用いて構成される。

【0043】

入力部 65 は、内視鏡システム 1 に関する各種操作の入力を受け付ける。例えば、入力部 65 は、光源装置 8 が出射する照明光の種別を切り替える指示信号の入力を受け付ける。入力部 65 は、例えば十字スイッチやプッシュボタン等を用いて構成される。

10

【0044】

プロセッサ制御部 66 は、内視鏡システム 1 を構成する各部を統括的に制御する。プロセッサ制御部 66 は、CPU (Central Processing Unit) 等を用いて構成される。プロセッサ制御部 66 は、入力部 65 から入力された指示信号に応じて、内視鏡システム 1 を制御する。

【0045】

〔第 1 チップの構成〕

次に、上述した第 1 チップ 21 の詳細な構成について説明する。

図 3 は、図 2 に示す第 1 チップ 21 の詳細な構成を示すブロック図である。図 4 は、第 1 チップ 21 の構成を示す回路図である。

20

【0046】

図 3 および図 4 に示すように、第 1 チップ 21 は、受光部 23 と、読み出し部 24 (駆動部) と、タイミング生成部 25 と、ヒステリシス部 28 と、出力部 31 (アンプ) と、を有する。

【0047】

ヒステリシス部 28 は、伝送ケーブル 3 を介して入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部 25 へ出力する。

【0048】

タイミング生成部 25 は、ヒステリシス部 28 から入力された基準クロック信号および同期信号に基づいて、各種の駆動信号を生成し、後述する読み出し部 24 の垂直走査部 241 (行選択回路)、ノイズ除去部 243 および水平走査部 245 へそれぞれ出力する。

30

【0049】

読み出し部 24 は、後述する受光部 23 の複数の画素の各々から出力される撮像信号および基準電圧生成部 246 から出力される基準信号それぞれを出力部 31 に転送する。

【0050】

ここで、読み出し部 24 の詳細な構成について説明する。読み出し部 24 は、垂直走査部 241 (行選択回路) と、定電流源 242 と、ノイズ除去部 243 (ノイズ除去回路) と、列ソースフォロアトランジスタ 244 と、水平走査部 245 と、基準電圧生成部 246 と、を含む。

40

【0051】

垂直走査部 241 は、タイミング生成部 25 から入力される駆動信号 (ϕ_T , ϕ_R 等) に基づいて、受光部 23 の選択された行 (水平ライン) $<M>$ ($M = 0, 1, 2, \dots, m-1, m$) に駆動信号 $\phi_T <M>$ および $\phi_R <M>$ を印加して、受光部 23 の各单位画素 230 およびダミー画素 247 を定電流源 242 で駆動することによって、撮像信号、ダミー信号および画素リセット時のノイズ信号を垂直転送線 239 (第 1 の転送線) に転送し、ノイズ除去部 243 に出力する。

【0052】

ノイズ除去部 243 は、各单位画素 230 の出力ばらつきと、画素リセット時のノイズ信号とを除去し、各单位画素 230 で光電変換された撮像信号を出力する。なお、ノイズ

50

除去部 243 の詳細は、後述する。

【0053】

水平走査部 245 は、タイミング生成部 25 から供給される駆動信号 (ϕ_{HCLK}) に基づいて、受光部 23 の選択された列 (縦ライン) $\langle N \rangle$ ($N = 0, 1, 2 \dots, n-1, n$) に駆動信号 $\phi_{HCLK} \langle N \rangle$ を印加し、各单位画素 230 で光電変換された撮像信号を、ノイズ除去部 243 を介して水平転送線 258 (第 2 の転送線) に転送し、出力部 31 に出力する。なお、本実施の形態 1 では、水平転送線 258 が各单位画素 230 から出力される撮像信号を転送する転送部として機能する。

【0054】

第 1 チップ 21 の受光部 23 には、多数の単位画素 230 が二次元マトリクス状に配列される。各单位画素 230 は、光電変換素子 231 (フォトダイオード) と、電荷変換部 233 と、転送トランジスタ 234 (第 1 の転送部) と、画素リセット部 236 (トランジスタ) と、画素ソースフォロアトランジスタ 237 と、ダミー画素 247 (基準信号生成部) と、を含む。なお、本明細書では、1 または複数の光電変換素子と、それぞれの光電変換素子から信号電荷を電荷変換部 233 に転送するための転送トランジスタとを単位セルと呼ぶ。すなわち、単位セルには 1 または複数の光電変換素子と転送トランジスタの組が含まれ、各单位画素 230 には、1 つの単位セルが含まれる。

【0055】

光電変換素子 231 は、入射光をその光量に応じた信号電荷量に光電変換して蓄積する。光電変換素子 231 は、カソード側がそれぞれ転送トランジスタ 234 の一端側に接続され、アノード側がグランド GND に接続される。電荷変換部 233 は、浮遊拡散容量 (FD) からなり、光電変換素子 231 で蓄積された電荷を電圧に変換する。

【0056】

転送トランジスタ 234 は、光電変換素子 231 から電荷変換部 233 に電荷を転送する。転送トランジスタ 234 のゲートには、駆動信号 (行選択パルス) ϕ_R および駆動信号 ϕ_T が供給される信号線が接続され、他端側には、電荷変換部 233 に接続される。転送トランジスタ 234 は、垂直走査部 241 から信号線を介して駆動信号 ϕ_R および駆動信号 ϕ_T が供給されると、オン状態となり、光電変換素子 231 から電荷変換部 233 に信号電荷を転送する。

【0057】

画素リセット部 236 は、電荷変換部 233 を所定電位にリセットする。画素リセット部 236 は、一端側が電源電圧 V_R に接続され、他端側が電荷変換部 233 に接続され、ゲートには駆動信号 ϕ_R が供給される信号線に接続される。画素リセット部 236 は、垂直走査部 241 から信号線を介して駆動信号 ϕ_R が供給されると、オン状態となり、電荷変換部 233 に蓄積された信号電荷を放出させ、電荷変換部 233 が所定電位にリセットする。

【0058】

画素ソースフォロアトランジスタ 237 は、一端側が電源電圧 V_R に接続され、他端側が垂直転送線 239 に接続され、ゲートには電荷変換部 233 で電圧変換された信号 (撮像信号またはリセット時の信号) が入力される。画素ソースフォロアトランジスタ 237 は、後述する選択動作の後に、転送トランジスタ 234 のゲートに駆動信号 ϕ_T が供給されると、光電変換素子 231 から電荷が読み出され、電荷変換部 233 にて電圧変換された後に、垂直転送線 239 に転送される。

【0059】

ダミー画素 247 は、単位画素 230 の水平ライン毎に複数設けられる。なお、図 4 においては、説明を簡略化するため、各水平ラインにダミー画素 247 が一つ設けられた例を説明するが、これに限定されず、ダミー画素 247 の数は、適宜変更することができる。ダミー画素 247 は、画素リセット部 236 a と、画素ソースフォロアトランジスタ 237 a と、を含む。すなわち、単位画素 230 から光電変換素子 231 (フォトダイオード) と、電荷変換部 233 と、転送トランジスタ 234 (第 1 の転送部) と、を省略した

10

20

30

40

50

構成である。

【0060】

画素リセット部236aは、画素ソースフォロアトランジスタ237aのゲートを所定電位に固定する。画素リセット部236aは、一端側が電源電圧VRに接続され、他端側が画素ソースフォロアトランジスタ237aのゲートに接続され、ゲートには駆動信号φTおよび駆動信号φRが供給される信号線が接続される。

【0061】

画素リセット部236aのゲートに、タイミング生成部25から信号線を介して駆動信号φRが供給されると、画素リセット部236aがオン状態となり、画素ソースフォロアトランジスタ237aのゲートが所定電位(VR)に固定される。

10

【0062】

画素ソースフォロアトランジスタ237aは、一端側が基準電圧生成部246(図5Aに示す基準電圧生成部246a)から供給される電源電圧VRに接続され、他端側が垂直転送線239に接続され、ゲートには所定電位(VR)が入力される。このように構成された画素ソースフォロアトランジスタ237aは、後述する選択動作が行われると、所定電位(VR)に応じたダミー信号(OB信号に相当)が、画素ソースフォロアトランジスタ237aを介して、垂直転送線239に転送される。

【0063】

通常の単位画素230と同様に、本実施の形態1では、電源電圧VRが電源電圧VDDレベル(例えば、3.3V)かつVR(例えば、2V)が入力された時に画素リセット部236aのゲートに駆動信号φRが供給されると、画素ソースフォロアトランジスタ237aがオン状態となり、当該画素リセット部236aを含むダミー画素247が選択される(選択動作)。また、電源電圧VRが非選択用電圧レベル(例えば、1V)かつVR(例えば、1V)が入力されたときに画素リセット部236aのゲートに駆動信号φRが供給されると、画素ソースフォロアトランジスタ237aがオフ状態となり、当該画素リセット部236aを含むダミー画素247の選択が解除される(非選択動作)。

20

【0064】

定電流源242は、一端側が垂直転送線239に接続され、他端側がグランドGNDに接続され、ゲートにはバイアス電圧Vbias1が印加される。定電流源242は、単位画素230を定電流源242で駆動し、単位画素230の出力を垂直転送線239へ読み出す。垂直転送線239へ読み出された信号は、ノイズ除去部243に入力される。

30

【0065】

ノイズ除去部243は、転送容量252(AC結合コンデンサ)と、クランプスイッチ253(トランジスタ)と、を含む。

【0066】

転送容量252は、一端側が垂直転送線239に接続され、他端側が列ソースフォロアトランジスタ244に接続される。

【0067】

クランプスイッチ253は、一端側が基準電圧生成部246からクランプ電圧Vclpが供給される信号線に接続される。クランプスイッチ253の他端側は、転送容量252と列ソースフォロアトランジスタ244間に接続され、ゲートには、タイミング生成部25から駆動信号φVCLが入力される。ノイズ除去部243に入力される撮像信号はノイズ成分を含んだ光ノイズ和信号である。

40

【0068】

転送容量252は、タイミング生成部25から、駆動信号φVCLがクランプスイッチ253のゲートに入力されると、クランプスイッチ253がオン状態となり、基準電圧生成部246から供給されるクランプ電圧Vclpによりリセットされる。ノイズ除去部243でノイズ除去された撮像信号は、列ソースフォロアトランジスタ244のゲートに入力される。

【0069】

50

ノイズ除去部 243 は、サンプリング用のコンデンサ（サンプリング容量）を必要としないため、転送容量（AC 結合コンデンサ）252 の容量は、列ソースフォロアトランジスタ 244 の入力容量に対する十分な容量であればよい。加えて、ノイズ除去部 243 は、サンプリング容量の無い分、第 1 チップ 21 における占有面積を小さくすることができる。

【0070】

列ソースフォロアトランジスタ 244 は、一端側が電源電圧 VDD に接続され、他端側が列選択スイッチ 254（第 2 の転送部）の一端側に接続され、ゲートにはノイズ除去部 243 でノイズ除去された撮像信号が入力される。

【0071】

列選択スイッチ 254 は、一端側が列ソースフォロアトランジスタ 244 の他端側に接続され、他端側が水平転送線 258（第 2 の転送線）に接続され、ゲートには水平走査部 245 から駆動信号 $\phi_{HCLK} < M >$ を供給するための信号線が接続される。列選択スイッチ 254 は、列 $< M >$ の列選択スイッチ 254 のゲートに水平走査部 245 から駆動信号 $\phi_{HCLK} < M >$ が供給されると、オン状態となり、列 $< M >$ の垂直転送線 239 の信号（ノイズ除去部 243 でノイズ除去された撮像信号）を水平転送線 258 に転送する。

【0072】

水平リセットトランジスタ 256 は、一端側がグランド GND に接続され、他端側が水平転送線 258 に接続され、ゲートにはタイミング生成部 25 から駆動信号 ϕ_{HCLR} が入力される。水平リセットトランジスタ 256 は、タイミング生成部 25 から駆動信号 ϕ_{HCLR} が水平リセットトランジスタ 256 のゲートに入力されると、オン状態となり、水平転送線 258 をリセットする。

【0073】

定電流源 257 は、一端側が水平転送線 258 に接続され、他端側がグランド GND に接続され、ゲートにはバイアス電圧 Vbias2 が印加される。定電流源 257 は、撮像信号を垂直転送線 239 から水平転送線 258 へ読み出す。水平転送線 258 へ読み出された撮像信号またはダミー信号は、出力部 31 に入力される。

【0074】

出力部 31 は、ノイズ除去された撮像信号とダミー信号（横ラインを補正する際に基準となる基準信号）とを必要に応じて信号増幅して出力する（Vout）。

【0075】

本実施の形態 1 では、垂直転送線 239 からのノイズ除去後の撮像信号の読み出しと、水平リセットトランジスタ 256 による水平転送線 258 のリセットとを交互に行うことにより、列方向の撮像信号のクロストークを抑制することが可能となる。

【0076】

第 2 チップ 22 では、ダミー信号および撮像信号を、伝送ケーブル 3 を介して、コネクタ部 5 に伝送する。

【0077】

図 5 A および図 5 B は、本実施の形態 1 に係る内視鏡 2 の受光部 23 の基準電圧生成部 246 の構成を示す回路図である。

【0078】

図 5 A に示す基準電圧生成部 246 a は、2 つの抵抗 291 および 292 からなる抵抗分圧回路と、駆動信号 ϕ_{VRSEL} で駆動されるマルチプレクサ 293 と、を含む。

【0079】

マルチプレクサ 293 は、タイミング生成部 25 から入力される駆動信号 ϕ_{VRSEL} に従い、電源電圧 VDD（例えば、3.3V）と抵抗分圧回路で生成された非選択用電圧 Vfd_L（例えば、1V）とを交互に切り替えて電源電圧 VR として全画素およびダミー画素 247 に印加する。

【0080】

図 5 B に示す基準電圧生成部 246 b は、2 つの抵抗 291 および 292 からなる抵抗

10

20

30

40

50

分圧回路と、駆動信号 ϕVSH で駆動されるスイッチ（トランジスタ）294と、を含む。基準電圧生成部246bは、スイッチ294の駆動により駆動信号 ϕVSH が駆動するタイミングで、ノイズ除去部243のクランプ電圧 V_{clp} を生成する。

【0081】

〔内視鏡システムの動作〕

次に、上述した内視鏡システム1の動作について説明する。図6は、内視鏡システム1が実行する処理の概要を示すフローチャートであり、FPGA57が行う処理の一例を示すフローチャートである。

【0082】

図6に示すように、FPGA57は、パルス生成部55から入力される基準クロック信号および同期信号に基づいて、撮像部20が信号を出力する期間がダミー信号出力期間であるか否かを判断する（ステップS101）。FPGA57によってダミー信号出力期間であると判断された場合（ステップS101：Yes）、内視鏡システム1は、後述するステップS102へ移行する。これに対して、FPGA57によってダミー信号出力期間でないと判断された場合（ステップS101：No）、内視鏡システム1は、後述するステップS104へ移行する。

【0083】

ステップS102において、FPGA57は、切替部522を制御することによって、HPF部521とAFE部53とを接続させることによって、HPF部521からの第1の信号をAFE部53へ出力させる。これにより、ダミー信号出力期間において、HPF部521においてハイパスフィルタ処理が施された第1の信号（ノイズがカットされたダミー信号）がAFE部53へ切替部522から出力されるので、ダミー画素に起因する横筋ノイズを低減することができる。

【0084】

続いて、プロセッサ6から終了する指示信号が入力された場合（ステップS103：Yes）、内視鏡システム1は、本処理を終了する。これに対して、プロセッサ6から終了する指示信号が入力されていない場合（ステップS103：No）、内視鏡システム1は、上述したステップS101へ戻る。

【0085】

ステップS104において、FPGA57は、切替部522を制御することによって、伝送ケーブル3とAFE部53とを接続させることによって、撮像部20の第2チップ22からの撮像信号をそのままAFE部53へ出力させる。これにより、HPF部521を介さずに撮像部20からの撮像信号がAFE部53へそのまま出力される。ステップS104の後、内視鏡システム1は、ステップS103へ移行する。

【0086】

以上説明した本発明の実施の形態1によれば、ダミー画素247と単位画素230とで互いに異なるノイズが発生した場合であっても、精度よく横筋ノイズを補正することができる。

【0087】

また、本発明の実施の形態1によれば、切替部522をHPF部521の直後に配置することによって、細径の伝送ケーブル3を用いる場合であっても、伝送ケーブル3のケーブル抵抗と切替部522とのインピーダンスとの整合を考慮せずに行うことができる。

【0088】

（実施の形態2）

次に、本発明の実施の形態2について説明する。本実施の形態2は、上述した実施の形態1に係る内視鏡2と構成が異なる。具体的には、本実施の形態2に係る内視鏡は、終端抵抗とAFE部およびHPF部との間に切替部を配置してなる。以下においては、本実施の形態2に係る内視鏡システムの構成について説明する。なお、上述した実施の形態1に係る内視鏡システム1と同一の構成には同一の符号を付して説明を省略する。

【0089】

〔内視鏡システムの構成〕

図 7 は、本実施の形態 2 に係る内視鏡システムの要部の機能を示すブロック図である。
図 7 に示す内視鏡システム 1 a は、上述した実施の形態 1 に係る内視鏡 2 に換えて、内視鏡 2 a を備える。内視鏡 2 a は、上述した実施の形態 1 に係るコネクタ部 5 に換えて、コネクタ部 5 a を備える。

【0090】

コネクタ部 5 a は、終端抵抗 5 1 と、第 1 の信号処理部 5 2 a と、A F E 部 5 3 と、A / D 変換部 5 4 と、パルス生成部 5 5 と、電源電圧生成部 5 6 と、F P G A 5 7 と、を有する。

【0091】

第 1 の信号処理部 5 2 a は、伝送ケーブル 3 の基端側に設けられ、終端抵抗 5 1 と、A F E 部 5 3 との間に配置されてなる。第 1 の信号処理部 5 2 a は、伝送ケーブル 3 から伝送されたダミー信号に対して第 1 の信号処理を行って第 1 の信号を生成して A F E 部 5 3 (外部)へ出力可能であるとともに、伝送ケーブル 3 から伝送された撮像信号をそのまま A F E 部 5 3 (外部)へ出力する。第 1 の信号処理部 5 2 a は、切替部 5 2 2 a と、H P F 部 5 2 1 a と、を有する。

【0092】

切替部 5 2 2 a は、終端抵抗 5 1 と A F E 部 5 3 および H P F 部 5 2 1 a との間に配置され、一端側が終端抵抗 5 1 を介して伝送ケーブル 3 に接続され、他端側が A F E 部 5 3 および H P F 部 5 2 1 a に接続される。切替部 5 2 2 a は、F P G A 5 7 の制御のもと、伝送ケーブル 3 を A F E 部 5 3 および H P F 部 5 2 1 a のどちらか一方を選択的に切り替える。

【0093】

H P F 部 5 2 1 a は、切替部 5 2 2 a を介して入力されたダミー信号に対して第 1 の信号処理を行って第 1 の信号を生成し、この第 1 の信号を A F E 部 5 3 へ出力する。

【0094】

このように構成された内視鏡システム 1 a において、F P G A 5 7 は、パルス生成部 5 5 から入力される基準クロック信号および同期信号に基づいて、撮像部 2 0 のダミー信号出力期間であると判断した場合、切替部 5 2 2 に伝送ケーブル 3 と H P F 部 5 2 1 a とを接続させることによって、撮像部 2 0 から入力されるダミー信号を H P F 部 5 2 1 a に第 1 の信号処理を施させて A F E 部 5 3 へ出力させる。これに対して、F P G A 5 7 は、パルス生成部 5 5 から入力される基準クロック信号および同期信号に基づいて、撮像部 2 0 の画像信号出力期間であると判断した場合、切替部 5 2 2 に伝送ケーブル 3 と A F E 部 5 3 とを接続させることによって、撮像部 2 0 から入力される撮像信号を A F E 部 5 3 へそのまま出力させる。

【0095】

以上説明した本発明の実施の形態 2 によれば、ダミー画素 2 4 7 と単位画素 2 3 0 とで互いに異なるノイズが発生した場合であっても、精度よく横筋ノイズを補正することができる。

【0096】

(その他の実施の形態)

本実施の形態 1, 2 では、H P F 部が第 1 の信号処理としてダミー信号に対してハイパスフィルタ処理を行っていたが、例えば H P F 部に換えて、バンドパス回路によって構成し、ダミー信号に対してバンドパスフィルタ処理を行ってもよい。

【0097】

また、本実施の形態 1, 2 では、第 1 の信号処理部に、H P F 部を設けていたが、例えば F P G A の制御のもと、フィルタ処理の性能、例えば所定の周波数成分のみカットするフィルタ処理を行うようなフィルタ回路を設けてもよい。

【0098】

また、本実施の形態 1, 2 では、コネクタ部に第 1 の信号処理部を設けていたが、これ

10

20

30

40

50

に限定されることなく、例えば第２チップ内に設けてもよい。もちろん、第１の信号処理部を処理装置（プロセッサ）に設けてもよい。

【００９９】

このように、本発明は、ここでは記載していない様々な実施の形態を含みうるものであり、特許請求の範囲によって特定される技術的思想の範囲内で種々の設計変更等を行うことが可能である。

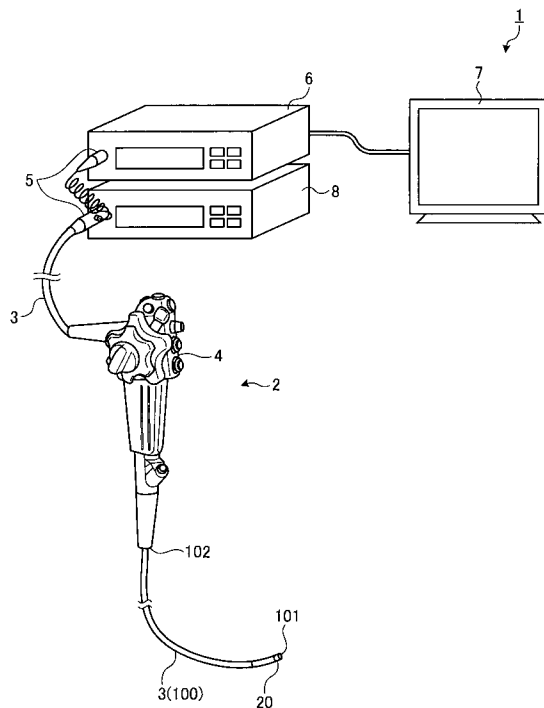
【符号の説明】

【０１００】

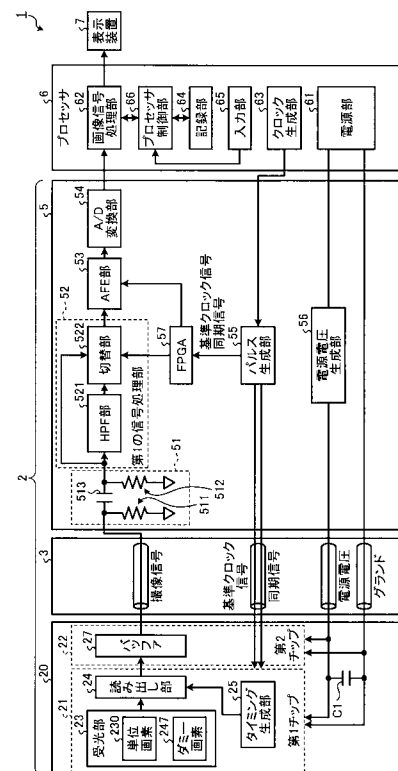
１，１ａ	内視鏡システム	
２，２ａ	内視鏡	10
３	伝送ケーブル	
４	操作部	
５，５ａ	コネクタ部	
６	プロセッサ	
７	表示装置	
８	光源装置	
２０	撮像部	
２１	第１チップ	
２２	第２チップ	
２３	受光部	20
２４	読み出し部	
２５	タイミング生成部	
２７	バッファ	
２８	ヒステリシス部	
３１	出力部	
５１	終端抵抗	
５２，５２ａ	第１の信号処理部	
５３	A F E 部	
５４	A / D 変換部	
５５	パルス生成部	30
５６	電源電圧生成部	
５７	F P G A	
６１	電源部	
６２	画像信号処理部	
６３	クロック生成部	
６４	記録部	
６５	入力部	
６６	プロセッサ制御部	
１００	挿入部	
１０１	先端	40
１０２	基端	
２３０	単位画素	
２３１	光電変換素子	
２３３	電荷変換部	
２３４	転送トランジスタ	
２３６，２３６ａ	画素リセット部	
２３７，２３７ａ	画素ソースフォロアトランジスタ	
２３９，２４１	垂直転送線	
２４１	垂直走査部	
２４２，２５７	定電流源	50

- 2 4 3 ノイズ除去部
- 2 4 4 列ソースフォロアトランジスタ
- 2 4 5 水平走査部
- 2 4 6 , 2 4 6 a , 2 4 6 b 基準電圧生成部
- 2 4 7 ダミー画素
- 2 5 2 転送容量
- 2 5 3 クランプスイッチ
- 2 5 4 列選択スイッチ
- 2 5 6 水平リセットトランジスタ
- 2 5 8 水平転送線
- 2 9 1 抵抗
- 2 9 3 マルチプレクサ
- 2 9 4 スイッチ
- 5 0 3 直流カットコンデンサ
- 5 1 1 交流終端抵抗
- 5 1 2 直流終端抵抗
- 5 2 1 , 5 2 1 a H P F 部
- 5 2 2 , 5 2 2 a 切替部
- C 1 コンデンサ

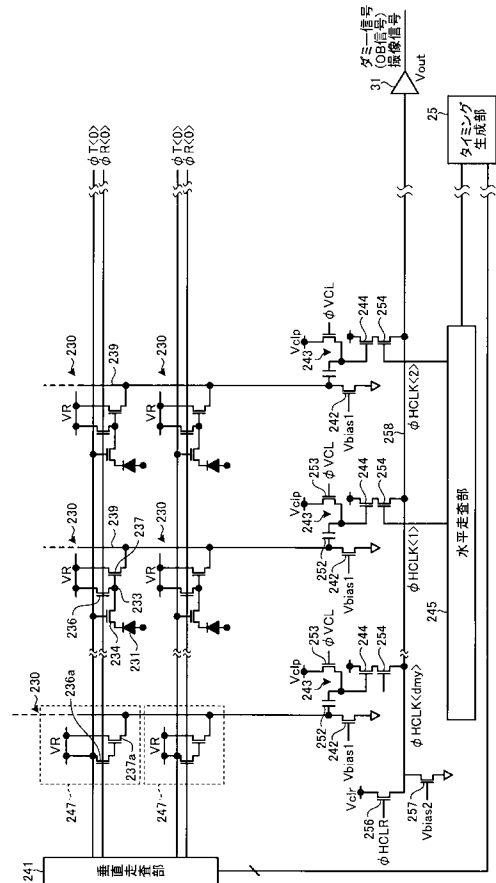
【 図 1 】



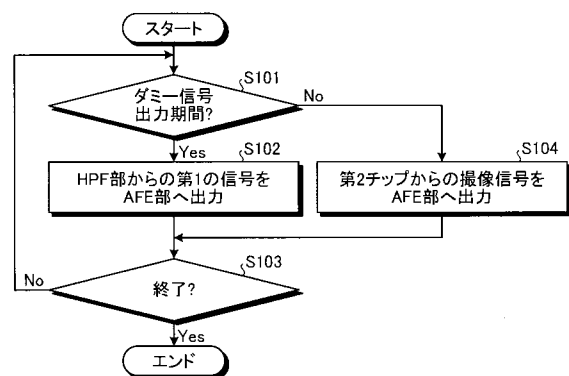
【 図 2 】



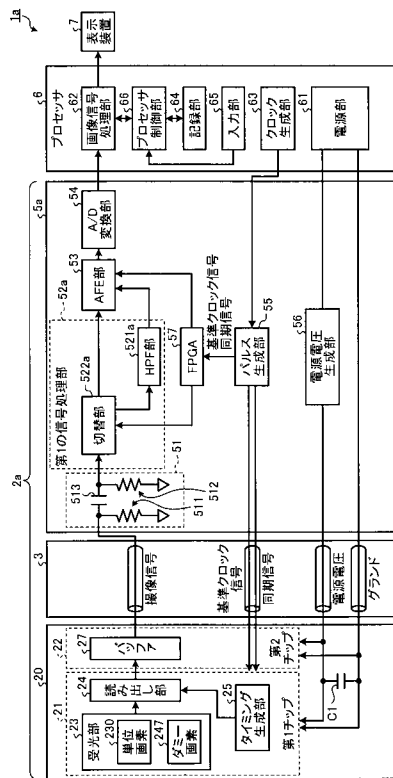
【 図 4 】



【圖 6】



【図 7】



专利名称(译)	内视镜		
公开(公告)号	JP2017123971A	公开(公告)日	2017-07-20
申请号	JP2016004280	申请日	2016-01-13
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	塙隆行		
发明人	塙 隆行		
IPC分类号	A61B1/04 G02B23/24		
FI分类号	A61B1/04.370 G02B23/24.B G02B23/24.A A61B1/00.680 A61B1/04 A61B1/04.510 A61B1/04.530 A61B1/045.610		
F-TERM分类号	2H040/DA17 2H040/GA02 4C161/CC06 4C161/JJ15 4C161/LL02 4C161/SS18		
外部链接	Espacenet		

摘要(译)

提供一种内窥镜，即使在虚设像素和有效像素之间产生不同的噪声时，该内窥镜也能够以高精度校正水平条纹噪声。内窥镜（2）可以对从传输电缆（3）传输的伪信号执行第一信号处理，以产生第一信号并将第一信号输出到外部，以及按原样成像信号。第一信号处理单元处于伪信号输出时段，其中成像单元20基于输出到外部的第一信号处理单元52和由脉冲生成单元55生成的驱动信号，从哑像素247输出伪信号。图52的第一信号处理单元52在成像信号输出时段期间输出成像信号，在成像信号输出时段中成像单元20从单位像素230输出成像信号，同时使52执行第一信号处理以将第一信号输出到外部。以及用于将数据原样输出到外部的FPGA 57。[选择图]图2

